

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP9054299
Publication date: 1997-02-25
Inventor(s): MAEDA TAKASHI;; WATANABE YOSHIHIRO
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP9054299
Application Number: JP19950205607 19950811
Priority Number(s):
IPC Classification: G02F1/133; G02F1/1333; G09G3/36
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To realize high quality display performance by dissolving problems such as after image, etc., of a display image as a liquid crystal display device caused by hysteresis in a liquid crystal layer such as specially a high polymer distributed type liquid crystal, etc.

SOLUTION: This device is provided with an auxiliary capacitor 5 whose one end between both ends (electrodes) as an electric capacitor is connected to a pixel electrode 4 and auxiliary capacitor drive circuits 11a, 11b connected to the other end 502 being the side opposite to one end 501 between both ends of the auxiliary capacitor 5 and applying a drive voltage being a voltage of a fixed voltage waveform without fluctuation when the pixel electrode 4 connected to the auxiliary capacitor 5 is in a selection period and being the waveform with fluctuation during a non-selection period (hold period of a liquid crystal applied voltage) to the other end of the auxiliary capacitor 5.

Data supplied from the esp@cenet database - I2

(10) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許公報公開番号

特開平9-54299

(43) 公開日 平成9年(1997) 2月25日

(51) Int. Cl.	分類 (1.1)	特許請求の範囲 (1)	特許請求の範囲 (2)	特許請求の範囲 (3)
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5	特許請求の範囲 (4)
G 0 2 F 1/133		G 0 2 F 1/133		
G 0 9 C 3/28		G 0 9 C 3/28		

審査請求 未付 特許請求の範囲 4 (1) (全 8 頁)

(21) 出願番号 特願平7-27887

(71) 出願人 SHIMADZU

(22) 出願口 平成7年(1995) 8月11日

株式会社東芝 神奈川県横浜市平区瀬川町2番地

(72) 発明者 前田 孝夫

神奈川県横浜市平区瀬川町2番地 株式会社東芝横浜支店内

(72) 発明者 前田 孝夫

神奈川県横浜市平区瀬川町2番地 株式会社東芝横浜支店内

(72) 発明者 前田 孝夫

(72) 発明者 前田 孝夫

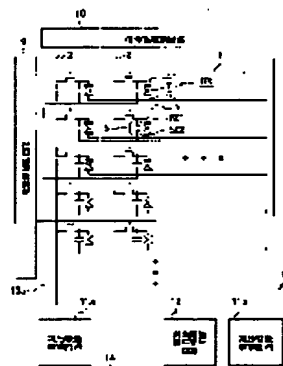
(72) 発明者 前田 孝夫

(24) 発明の名称 液晶表示装置

(7) 【要約】

【課題】 特に高分子分散型液晶などの液晶層におけるヒステリシスに起因した、液晶表示装置としての表示画像の残像等の問題を解決して、高品質な表示性能を実現した液晶表示装置を提供する。

【解決手段】 電気容量としての両端(電極)のうち一端が画素電極4に接続された補助容量5と、この補助容量5の両端のうち前記の一端501とは対向側である他端502に接続されて、この補助容量5が接続されている画素電極4が選択期間中であるときには変動のない定電圧波形の電圧であり、選択期間以外の非選択期間中(液晶印加電圧の保持期間)中には変動のある波形の駆動電圧を補助容量5の前記他端に印加する補助容量駆動回路11a、11bと、を具備している。



【特許請求の範囲】

【請求項1】 基板上に互いに交差するように配列された複数の走査線と複数の信号線と該走査線および該信号線の交差部ごとに形成され該走査線および該信号線に接続されたスイッチング素子と該スイッチング素子ごとに接続された画素電極と該画素電極に接続された補助容量とが形成されたスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に間隙を有して対向配置される対向電極が形成された対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入された液晶組成物と、を有する液晶表示素子と、前記走査線に対して走査選択期間ごとに前記スイッチング素子をオンにする走査パルスを加印する走査線駆動回路と、前記信号線それぞれに対して表示画像に対応した波形の信号電圧を加印する信号線駆動回路と、を備えた液晶表示装置において、電気容量としての両端のうち一端が前記画素電極に接続された補助容量と、前記補助容量の前記両端のうち前記一端とは対向側である他端に接続されて、該補助容量が接続されている画素電極が選択期間中であるときには変動のない定電圧の波形であり前記選択期間以外の非選択期間中又は液晶印加電圧保持期間中には変動のある波形の駆動電圧を前記補助容量の前記他端に印加する補助容量駆動回路と、を具備することを特徴とする液晶表示装置。

【請求項2】 請求項1記載の液晶表示装置において、前記補助容量を、一方の群の補助容量に接続された画素電極が少なくとも一つでも走査選択期間にあるときには、他方の群の補助容量に対応した画素電極は全て走査非選択期間にあるように、少なくとも2組の群に分けて、選択期間中である画素電極に接続された補助容量の前記他端に対しては変動のない定電圧の駆動電圧を加印し、前記選択期間以外の非選択期間中又は液晶印加電圧保持期間中である画素電極に接続された補助容量に対しては、フレーム周波数に対応して一定の電圧変動幅で変動する波形の駆動電圧を前記他端に印加する、補助容量駆動回路を具備することを特徴とする液晶表示装置。

【請求項3】 請求項2記載の液晶表示装置において、フレーム周期[秒]に同期し、フレーム周期と同じか、それ以下の周期を持つ駆動電圧を出力する補助容量駆動回路を具備することを特徴とする液晶表示装置。

【請求項4】 請求項1記載の液晶表示装置において、液晶が高分子分散型液晶であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は各表示画素にスイッチ素子を持つ液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】 液晶表示装置は、薄型、低消費電力等の

特徴を活かして、テレビあるいはグラフィックディスプレイなどの表示素子として盛んに利用されている。

【0003】 中でも、薄膜トランジスタ (Thin Film Transistor; 以下、TFTと略称) をスイッチング素子として用いたアクティブマトリクス型液晶表示装置は、高速応答性に優れ、高精細化に適しており、ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。

【0004】 このようなアクティブマトリクス型の液晶表示装置では、信号線駆動回路により、映像信号を各表示画素に接続された薄膜トランジスタに順次供給する。また、走査線駆動回路により、薄膜トランジスタのゲートに、ゲートON電圧が印加され、ソース・ドレイン間が導通し、前記映像信号が所定の各表示画素に書き込まれる。この動作が、各列に対して順次行われることにより画像が表示される。

【0005】 近年、高分子分散型液晶と呼ばれる液晶材料が注目されている。この液晶材料は、従来のTN型あるいはSTN型液晶と偏光板とを用いたツイステッドネマティック方式の液晶表示装置とは異なり、偏光板を使う必要がないので、光源光の利用効率が理論的に少なくとも80%向上し、明るい表示ができるものとして期待されている。

【0006】

【発明が解決しようとする課題】 しかしながら、このような高分子分散型液晶材料は一般的に、印加電圧と透過率との関係にヒステリシスを示すという欠点がある。

【0007】 即ち、印加電圧が低い状態から高い状態に移行する場合と、印加電圧が高い状態から低い状態に移行する場合とで、印加電圧-透過率曲線上における移行経路が異なるので、同じ印加電圧に対して透過率が異なったものとなる。これは表示画像の残像の原因となり、表示装置として画質を劣化させてしまうという問題につながる。

【0008】 このような液晶層のヒステリシスに起因した問題は、上記のような高分子分散型液晶のみならず、その他にも例えば強誘電体液晶等にも発生する問題である。

【0009】 本発明は、このような問題を解決するために成されたもので、その目的は、特に高分子分散型液晶などの液晶層におけるヒステリシスに起因した、液晶表示装置としての表示画像の残像等の問題を解決して、高品質な表示性能を実現した液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段】 本発明の液晶表示装置は、基板上に互いに交差するように配列された複数の走査線と複数の信号線と該走査線および該信号線の交差部ごとに形成され該走査線および該信号線に接続されたスイッチング素子と該スイッチング素子ごとに接続された

画素電極と該画素電極に接続された補助容量とが形成されたスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に間隙を有して対向配置される対向電極が形成された対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入された液晶組成物と、を有する液晶表示素子と、前記走査線に対して走査選択期間ごとに前記スイッチング素子をオンにする走査パルスを加する走査線駆動回路と、前記信号線それぞれに対して表示画像に対応した波形の信号電圧を加する信号線駆動回路と、を備えた液晶表示装置において、電気容量としての両端（電極）のうち一端が前記画素電極に接続された補助容量と、前記補助容量の前記両端のうち前記一端とは対向側である他端に接続されて、該補助容量が接続されている画素電極が選択期間中であるときには変動のない定電圧の波形であり前記選択期間以外の非選択期間中又は液晶印加電圧保持期間中には変動のある波形の駆動電圧を前記補助容量の前記他端に印加する補助容量駆動回路と、を具備することを特徴としている。

【0011】また、上記の液晶表示装置において、前記補助容量を、一方の群の補助容量に接続された画素電極が少なくとも一つでも走査選択期間にあるときには、他方の群の補助容量に対応した画素電極は全て走査非選択期間にあるように、少なくとも二組の群に分けて、選択期間中である画素電極に接続された補助容量の前記他端に対しては変動のない定電圧の駆動電圧を印加し、前記選択期間以外の非選択期間中又は液晶印加電圧保持期間中である画素電極に接続された補助容量に対しては、フレーム周波数に対応して一定の電圧変位幅で変動する波形の駆動電圧を前記他端に印加する、補助容量駆動回路を具備することを特徴としている。

【0012】また、上記の液晶表示装置において、フレーム周期[秒]に同期し、フレーム周期と同じか、それ以下の周期を持つ駆動電圧を出力する補助容量駆動回路を具備することを特徴としている。

【0013】さらに、上記の液晶表示装置において、液晶が高分子分散型液晶であることを特徴としている。

【0014】本発明は、画素電位保持容量の共通電圧を少なくとも二つ以上の独立した画素補助容量にグループ分けして、表示画素に所定の電圧で書き込みが行われた後の電圧保持期間においてそれぞれのグループごとに書き込み期間にあたる画素が存在しない期間内で補助容量の電圧を振動波形などとして変化させることにより、電圧保持期間中（換言すれば、走査非選択期間中）の液晶画素セルの電位を所望の電圧幅で変化させる。

【0015】即ち、液晶層として例えば高分子分散型液晶を用いる場合などには、ある画素（液晶画素セル）の書き込み電圧が変化すると、印加電圧自体の変位や前後の値は同じでも、その変位方向によって変化前の電圧に応じて異なった表示を示す。これが液晶層の印加電圧一透過率特性におけるヒステリシスである。本発明によれば、

このような異なった表示が一旦示された場合でも、電圧保持期間中の画素に対応した補助容量に印加する電圧を変動させているので、この変動に応じた表示の変化、つまり従来のようなヒステリシスの影響の最も顕著に出る印加電圧の領域におけるヒステリシスを、緩和する方向に働かせることができる。

【0016】しかもこのとき、変動 ΔV のある波形の駆動電圧は、書き込み中の液晶画素セル101に対しては印加しないようにしているため、書き込み中の液晶画素セル101の電圧書き込み動作に対する補助容量5からの電圧変動 ΔV の影響を避けることができる。

【0017】従って、本発明によれば、液晶層のヒステリシス特性を緩和することができ、書き込み前後の電圧によっては変化しない一定の正確な表示画像を得ることができる。

【0018】

【発明の実施の形態】以下、本発明に係る液晶表示装置の実施の形態を、図面に基づいて詳細に説明する。

【0019】図1は、本発明に係る液晶表示装置の回路構成の概要を示す図である。また、図2はそれに用いられる駆動電圧波形の一例を示す図である。

【0020】本発明の液晶表示装置は、基板上に互いに交差するように配列された複数の走査線1と複数の信号線2と、これら走査線1および信号線2の交差点ごとに形成され走査線1、信号線2に接続された画素スイッチング用のTFT素子3と、このTFT素子3ごとに接続された画素電極4と、画素電極4に接続された補助容量5とが形成されたスイッチング素子アレイ基板（図1では特に区分しては図示しない）と、このスイッチング素子アレイ基板に間隙を有して対向配置される対向電極6が形成された対向基板（図1では特に区分しては図示しない）と、これらスイッチング素子アレイ基板と対向基板との間に封入された液晶層7と、を有する液晶表示素子8と、走査線1に対して走査選択期間ごとにTFT素子3をオンにする走査パルスを加する走査線駆動回路9と、信号線2それぞれに対して表示画像に対応した波形の信号電圧を加する信号線駆動回路10と、を備えた液晶表示装置であって、特に、電気容量としての両端のうち一端が画素電極4に接続された補助容量5と、この補助容量5の両端のうち前記の一端501とは対向側である他端502に接続されて、この補助容量5が接続されている画素電極4が選択期間中であるときには変動のない定電圧波形の電圧であり、選択期間以外の非選択期間中、換言すれば液晶印加電圧の保持期間中には変動のある波形の駆動電圧を、補助容量5の前記他端に印加する補助容量駆動回路11a、11bと、を具備している。

【0021】画素電極4と対向電極6と液晶層7とから主要部分が構成される液晶画素セル101は、等価回路的にはいわゆる液晶容量C_{LD}として考えてよい。そしてこ

の液晶画素セル101を除く図1に示した回路構造は、液晶画素セル101の一方の電極である画素電極4が形成されているスイッチング素子アレイ基板上に形成されている。本実施の形態においては、液晶層7としては高分子相に液晶相をカプセル状に分散して形成された高分子分散型液晶層を用いた。

【0022】液晶画素セル101の一端つまり画素電極4はTFT素子3のソース・ドレインを介して信号線2に接続されており、他端つまり対向電極6は対向電極に印加する電圧を発生する対向電極電圧発生回路12に接続されている。そしてTFT素子3のゲートは走査線1に接続されている。

【0023】そして、上記の補助容量5は、マトリクス状に配置された画素行列のうち一行おき（一水平画素ラインおき）に補助容量線13a、13bにそれぞれ交互に接続されている。つまり、図1中、奇数番目の画素行に配置された各補助容量5は全て補助容量線13aを介して補助容量駆動回路11aに接続されており、偶数番目の画素行に配置された各補助容量5は全て補助容量線13bを介して補助容量駆動回路11bに接続されている。そしてこれら補助容量駆動回路11aと11bとは、互いに同期して作動するように連絡線14で結ばれている。

【0024】なお、本実施の形態では説明の簡潔化のために、補助容量駆動回路11aと11bとを別の回路のように別けて表現したが、補助容量駆動回路11a、11bは、例えば一個のドライバLSIのような一つの回路系の中に作り込んでも良いことは言うまでもない。ただし、補助容量線13aに接続された各補助容量5と、補助容量線13bに接続された各補助容量5とが、互いに異なるタイミングで選択されるように互いに別の組分けにしておくことが必要であることは同じである。そしてこのとき、走査線駆動回路9の動作についても、このような異なる期間ごとの選択走査に対応した動作を行なうように設定しておくことは言うまでもない。このような走査線により駆動電圧の極性を反転させる等の走査に伴い電圧を変える走査選択駆動方式そのものについては、従来から種々の駆動方式が提案されているので、本実施の形態ではそのさらなる詳細な説明については省略する。

【0025】信号線駆動回路10は、隣り合う信号線2どうしで対向電極6の電位に対して低電位の映像信号、又は高電位の映像信号のどちらかの共通した極性の電圧が印加されるように、表示画像に対応した波形の電圧を出力する。この信号線駆動回路10の構造および動作についても従来のアクティブマトリクス型液晶表示装置に用いられるような一般的な駆動回路系を適用することができる。

【0026】対向電極6には、走査選択期間（水平走査期間）ごとに極性反転する電圧205が、対向電極

電圧発生回路12から印加される。

【0027】そしてこれに伴って、表示画像に対応した波形の信号電圧206が、信号線駆動回路10から各信号線2に対して印加される。ここで、図2において信号電圧206を走査選択期間ごとに極性反転する波形であってその波高は取って斜線を付して領域として示した。なお、本実施の形態の液晶表示装置においては階調表示を行なう関係上、この領域内のいずれかの波高の電圧を用いる、という意味上、このように表示したものである。

【0028】走査線駆動回路9は、TFT素子3のソース・ドレイン間を導通させるゲートON電圧波高の走査パルスを有する、図2に示すような走査電圧201、202、203、204を、走査線1の一本ずつに順次に印加して行く。

【0029】上記のようにしてゲートON電圧が印加されてTFT素子3のゲートがオンとなり、約走査選択期間（水平走査期間）の間に画素電極4を介して液晶画素セル101に信号電圧の書き込みが行なわれた後、走査選択期間が過ぎて走査非選択期間になると、走査電圧は再び保持電圧つまりゲートON電圧以下の電圧となって、TFT素子3のゲートがオフとなり、それに接続されている画素電極4に対応した液晶画素セル101が電圧保持状態となる。

【0030】このような画素行（水平画素ライン）ごとの液晶画素セル101の走査選択が、例えばまず奇数番目の水平画素ラインで線順次に実施されて行く。このとき、上記の液晶画素セル101の走査選択的な信号電圧の書き込みとタイミングを合わせて、補助容量5の他端502に印加される電圧および対向電極6に印加される電圧の極性を反転する。

【0031】こうして奇数番目の水平画素ラインのフィールドの書き込みが終了すると、次に偶数番目の水平画素ラインの液晶画素セル101に対する信号電圧の1フィールドの書き込みを行なう。

【0032】補助容量5に対する駆動電圧の印加は、上記の液晶画素セル101に対する信号電圧のフィールドの書き込みと並行してこれにタイミングを合わせながら行なわれる。

【0033】ここで、偶数番目の水平画素ラインのフィールドの書き込みが行なわれているときには、奇数番目の水平画素ラインの画素は全て走査非選択状態となっている。このとき、奇数番目の水平画素ラインの液晶画素セル101に対応した補助容量5の他端502に対しては、それが接続されている補助容量線13aを介して、駆動電圧として定電圧の一定期間 $\Delta T = \Delta t$ 秒には特定の電圧 ΔV だけ電位が変化する波形の駆動電圧207が、補助容量駆動回路11aによって印加される。

（この ΔV の詳細については後に説明する）一方、このとき偶数番目の水平画素ラインの画素行のうち少なくとも

も一つの行の液晶画素セル101は走査選択期間中であり、その液晶画素セル101には画素電極4を介して信号電圧が書き込まれている最中である。従って、この書き込み中の液晶画素セル101を含む偶数番目の画素行（水平画素ライン）の補助容量5に印加される駆動電圧は、本発明においては反転された定電位の電圧に保つようになっている。つまりそのような波形の駆動電圧208を、補助容量駆動回路11bが出力する。

【0034】逆に、奇数番目の水平画素ラインのフィールドの書き込みが行なわれているときには、偶数番目の水平画素ラインの画素は全て走査非選択状態となっている。このとき、偶数番目の水平画素ラインの液晶画素セル101に対応した補助容量5の他端502に対しては、それが接続されている補助容量線13bを介して、駆動電圧として定電位の一定期間 $\Delta T = 1\mu s$ 後には特定の電圧 ΔV だけ電位が変化する波形の駆動電圧208が、補助容量駆動回路11bによって印加される。一方、このとき奇数番目の水平画素ラインの画素のうち少なくとも一つの行の液晶画素セル101は走査選択期間中であり、その液晶画素セル101には画素電極4を介して信号電圧が書き込まれている最中である。従って、この書き込み中の液晶画素セル101を含む奇数番目の画素行（水平画素ライン）の補助容量5に印加される駆動電圧は、本発明においては反転された定電位の電圧に保つようになっている。つまり、そのような波形の駆動電圧207を、補助容量駆動回路11aが出力する。

【0035】次に、上記の ΔV について説明する。補助容量線13a、13bには、上述したタイミングで、 $\Delta V(t) = V_A \sin(2\pi t/T)$ で決定される電圧変位 ΔV を有する波形の駆動電圧が印加される。ただし、 T はフレーム周期 $1/60s$ であり、 V_A は本実施の形態においては信号電圧の振幅として25Vを設定した。なお、この波形は上記の数式から導出される結果のみには限定されないが、理論的には上記の数式から導出された結果に準拠することが好ましいことは、言うまでもない。

【0036】この電圧振幅 V_A を決定するにあたり、本実施の形態ではヒステリシスの問題がある液晶表示装置の典型的な一例として高分子分散型液晶を用いて、そのヒステリシスが最も顕著となる輝度50%の背景に最低輝度（黒）のウィンドウを表示させた場合に、このウィンドウの表示を止めて全画面50%輝度の表示にして、ヒステリシスに起因した残像が確認される現象が V_A を大きくするに従って緩和されるかどうかを観察した。

【0037】まず、 $V_A = 0$ の従来の駆動方法の場合には、数秒間以上にわたって残像が確認された。

【0038】 $0 \leq V_A \leq 0.5V$ 程度までは、画像の視認可能な特性には殆ど変化が無かったが、それ以上の電圧にすると残像の消失までの時間が短くなり、25Vでは残像が数秒の間には完全に消失するようになった。

【0039】これ以上の電圧に設定すれば、さらに残像を小さくかつ短時間に消失することが可能であると考えられるが、駆動電圧の制約から、そのような実験は本実施の形態では遂行できなかった。

【0040】このときの画素電圧の変動幅を考えると、画素電極4に対する信号電圧の書き込み時における電位 V_m に対して、 ΔV が補助容量5の他端502に加えられたときの液晶画素セル101の電位 V_{ID} は、 $V_{ID} = \{V_{sig2} + V_{sig} \cdot V_{cs} \cdot \gamma + (\gamma \cdot V_{cs})^2 / 2\} / 2$ となる。ここで、 $\gamma = C_s / (C_s + C_{ID})$ であり、本実施の形態では $C_s = 0.24pF$ 、 $C_{ID} = 0.06pF$ である。

【0041】従って、 $\Delta V = 25V$ の場合には、書き込み電圧が $V_m = 5V$ の場合において、画素電位が目標値301を中心として振幅1V程度の範囲内で振れているものと考えられる。これを図3に示す。このように、従来の液晶表示装置においては広い変化域にわたる印加電圧の変化に対してヒステリシス特性が顕著に現れていたものが、本発明によれば、図3に示すように狭い範囲内で振らせることで、液晶層のヒステリシスの影響を効果的に低減して、表示画像の残像を小さくすることができる。

【0042】しかもこのとき、変動 ΔV のある波形の駆動電圧は、書き込み中の液晶画素セル101に対しては印加しないようにしているので、書き込み中の液晶画素セル101の電圧書き込み動作に対する補助容量5からの電圧変動 ΔV の悪影響を避けることができる。

【0043】なお、本発明の回路構成は、図1に示すような本実施の形態のみに限定されるものではない。

【0044】上記実施の形態においては、補助容量5を、補助容量線13aに接続された奇数番目の水平走査ラインと補助容量線13bに接続された偶数番目の水平走査ラインとの2組に分けたが、その分け方およびその組ごとの駆動回路との接続は、上記実施の形態のみに限定されない。

【0045】この他にも、例えば図4に示すように、液晶表示パネルの画面を上・下の領域401a、401bに分けて、その一方の領域401aに走査選択中の画素があるときには他方の領域402bの画素は全て非選択であるように画素を駆動し、かつこれと並行して、走査選択中の画素がある領域内の補助容量5に対しては定電位の駆動電圧を印加し、他方の全ての画素が非選択である領域内の補助容量5に対しては、上記のような変位 ΔV を有する波形の駆動電圧を印加するような回路構成としてもよい。

【0046】あるいは、図5に示すように、水平走査ライン2本おきに第1の組の補助容量線501aと第2の組の補助容量線501bとに2組に分けて、そのそれぞれの組ごとに上記同様に分けて駆動してもよい。

【0047】あるいは、図6に示すように、全ての補助

容量5を一つの補助容量駆動回路601に接続し、この補助容量駆動回路601を走査線駆動回路9（図6においては図示省略）の動作タイミングに合わせて動作させて、走査選択期間にある画素に対応した補助容量5（図6では例えば補助容量5a）に対しては定電圧波形の駆動電圧を印加し、走査選択期間外（走査非選択期間）で電圧保持状態にある画素に対応した補助容量5（図6では例えば補助容量5b）に対しては変位 ΔV を有する波形の駆動電圧を印加するような回路構造としてもよい。

【0048】

【発明の効果】以上、詳細な説明で明示したように、本発明によれば、特に高分子分散型液晶などの液晶層におけるヒステリシスに起因した、液晶表示装置としての表示画像の残像等の問題を解決して、高品質な表示性能を実現した液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の回路構成の概要を示す図である。

【図2】本発明に係る液晶表示装置に用いられる駆動電圧波形の一例を示す図である。

【図3】本発明に係る液晶表示装置において、液晶層の印加電圧-透過率曲線におけるヒステリシスの解消作用の概要を示す図である。

【図4】液晶表示パネルの画面を上・下の領域402

a、402bに分けてそれぞれの領域の補助容量5を駆動する方式の、本発明に係る液晶表示装置の一例を示す図である。

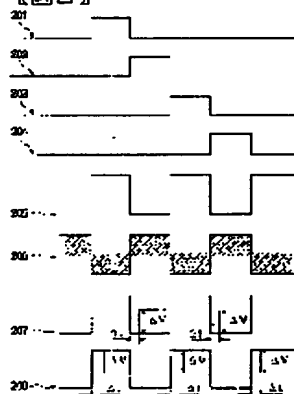
【図5】液晶表示パネルの画面上で、水平走査ライン2本おきに第1の組の補助容量線501aと第2の組の補助容量線501bとに組に分けて、それぞれの領域の補助容量5を駆動する方式の、本発明に係る液晶表示装置の一例を示す図である。

【図6】全ての補助容量5を一つの補助容量駆動回路601に接続し、この補助容量駆動回路601を走査線駆動回路9の動作タイミングに合わせて動作させて補助容量5を駆動する方式の、本発明に係る液晶表示装置の一例を示す図である。

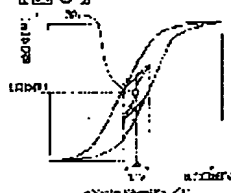
【符号の説明】

- 1…複数の走査線
- 2…複数の信号線
- 3…TFT素子
- 4…画素電極
- 5…補助容量
- 6…対向電極
- 7…液晶層
- 8…液晶表示素子
- 9…走査線駆動回路
- 10…信号線駆動回路

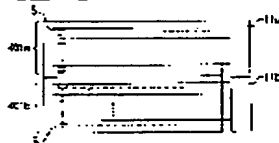
【図2】



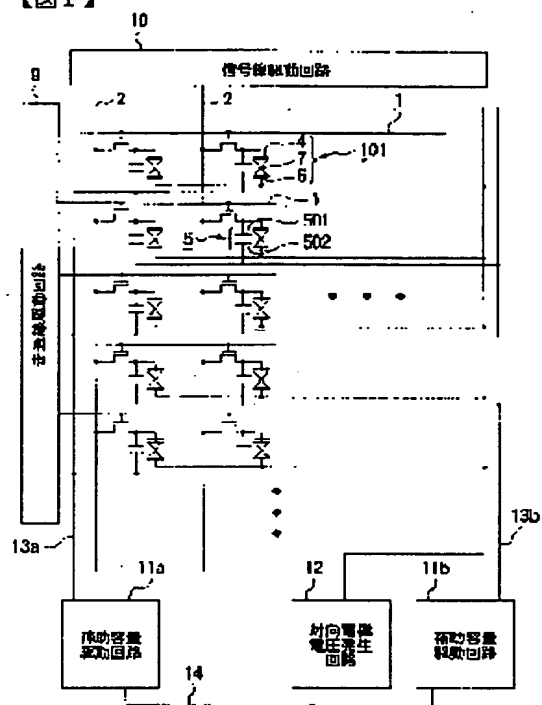
【図3】



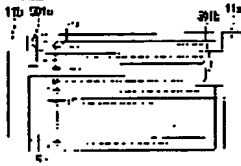
【図4】



【図1】



【図5】



【図6】

